

輔仁大學電機工程學系 101 學年第一次系評鑑執行委員會議紀錄

開會時間：102 年 1 月 24 日(星期四) 上午 10:30

開會地點：聖言樓七樓 SF736 研討室

主 席：林寬仁主任

出席者：李永勳老師、徐國政老師、袁正泰老師、白英文老師、劉惠英老師、王元凱老師、杜弘隆老師、林昇洲老師、莊岳儒老師、沈鼎嵐老師、蔣欣翰老師、盛 鐸老師、鄧永昌老師、林佳慧組員、劉岳乘組員、陳昭純組員、蔡政鴻組員、陳錚玄技士、劉 旻同學、陳巧寧同學
請假：余金郎老師、劉鴻裕老師、
記錄：林佳慧

主席報告：針對 101 年 11 月 5 - 6 日 IEET 實地訪評的意見，今特別召開系評鑑執行委員會議檢討，尋求共識改善。

討論事項：

一、IEET 認證檢討

(一) IEET 訪評離校意見中，我們必須回應的有：

1. 教育目標

(1) 碩職班：「基礎理論精進」的教育目標宜有評估及佐證資料。

決議：(1) 在碩職班的課程，前幾週再加強其基礎理論。

(2) 研議在碩職班開一門基礎課程加強電機工程理論。

(3) 建議將「研究工具概論」與「科技論文導讀」列為必修。

2. 組織運作

(1) 核心能力制定/修訂機制內之各委員會都應有其組織章程，成員宜多元化。

(2) 系的經費分配原則宜有相關辦法

3. 課程規劃

(1) 課程規劃與授課宜考慮業界人士參與

(2) 碩士班課程規劃與教育目標連結性宜再加強

4. 產學互動

(1) 教師與業界交流可再加強，並加強鼓勵教師產學合作與回饋教學等措施

決議：碩士在職專班的專題討論的專家演講講員資格若在業界表現傑出，可不限具博士學位。

5. 研究所休退學人數過多

6. 輔導機制?

7.其他

(1)研究所-宜鼓勵並輔導跨領域合作之研究專題/計畫

(2)研究所-宜鼓勵並輔導學生加強語文能力與參與國際活動，以增強良好的國際觀

二、各項問卷評量結果檢討

1.IEET 核心能力與課程關聯度暨課程滿意度調查平均低於 3.5 分者，該任課教師應提出分析說明，檢視課程內容是否調整。

2.因此取消原規定-每位教師每年選擇一門課就 IEET 核心能力與課程關聯度暨課程滿意度調查，提出分析說明，與本系老師分享。

3.核心能力達成指標問卷，每門課在每三年至少調查評估一次，該門課教師應提出分析說明。

核心能力達成指標 (以邏輯設計實驗為範例)

核心能力 達成指標	核心能力 2： 執行實驗、分析數據、驗證理論的能力。		
	1=須加強	2=具備	3=典範
執行 Verilog 程式設計實 驗	不瞭解 Verilog 基本語法，無法完成 FPGA 電路模擬合成驗證。	瞭解 Verilog 基本語法，能夠完成 FPGA 電路模擬合成驗證。	熟悉 Verilog 基本語法，能夠迅速完成 FPGA 電路模擬合成驗證。
執行應用標 準 IC 設計電 路實驗	無法在麵包板上，使用標準 IC，完成基礎數位電路。	能在麵包板上，使用標準 IC，完成基礎數位電路。	能在麵包板上，使用標準 IC，迅速完成進階數位電路。
分析數據	對 Verilog 數位邏輯電路模擬結果，無法分析。	對 Verilog 數位邏輯電路模擬結果，能夠判定是否符合規格需求。	對完成 FPGA 電路模擬合成驗證，能夠判定是否符合規格需求，並解釋問題所在。
驗證理論	對數位邏輯電路基本原理不瞭解，無法做出電路設計。	設計符合規格的數位邏輯電路，模擬完成並驗證。	能夠制定數位邏輯電路規格，設計符合規格的電路，模擬完成並驗證。

4.校建置之教學評量結果，按本校教學評量辦法之規定處理。

三、專題實驗是否改成必修?

說明：有鑑於 IEET EAC 104 (認證規範 4) 4.1.2 工程專業課程須佔最低畢業學分的八分之三以上，其中須包括整合工程設計能力的專題實作。(capstone course)。

討論結果：未獲共識，提下次會議再討論。